

SEMICONDUCTOR DEVICE

Patent Number: JP6291223
Publication date: 1994-10-18
Inventor(s): IKEDA YOSHINARI; others: 02
Applicant(s):: FUJI ELECTRIC CO LTD
Requested Patent:  JP6291223
Application Number: JP19930081002 19930408
Priority Number(s):
IPC Classification: H01L23/34
EC Classification:
Equivalents:

Abstract

PURPOSE:To enable a semiconductor element to dissipate heat from both its upside and underside by a method wherein an electrode body is jointed to primary electrodes located on both the primary surfaces of the semiconductor element respectively, a control terminal is led out to the side of a case from a control electrode located on the one primary surface, and a case terminal board is brought into contact with the electrode body to serve as a thermal and electrical path.

CONSTITUTION:A collector electrode body 2 of molybdenum or the like is brazed throughout a collector electrode 21 provided to the underside of an IGBT chip 1. An emitter electrode body 3 is jointed to an emitter electrode 17, the chip 1 is put in a case composed of a base plate 4 and a outer frame 5, and the underside of the chip 1 is soldered to the base plate 4 of Cu or the like. An inner gate lead 6 is fixed onto the step of the outer frame 5 and led out through a gate terminal 7 which penetrates the outer frame 5. A gate pad 22 connected to a gate electrode on the chip 1 is connected to an Al wire 8 by bonding.

Thereafter, a lid 9 is brazed to the upside of the outer frame 5 to hermetically seal up the IGBT chip 1. Therefore, heat released from a semiconductor element is conducted to a contact body from electrode bodies and dissipated from both the upside and underside of the element.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-291223

(43)公開日 平成6年(1994)10月18日

(51)Int.Cl.⁵

H01L 23/34

識別記号

A

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数14 OL (全 9 頁)

(21)出願番号 特願平5-81002

(22)出願日 平成5年(1993)4月8日

(31)優先権主張番号 特願平4-87377

(32)優先日 平4(1992)4月9日

(33)優先権主張国 日本(JP)

(31)優先権主張番号 特願平5-19121

(32)優先日 平5(1993)2月8日

(33)優先権主張国 日本(JP)

(71)出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72)発明者 池田 良成

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(72)発明者 仲村 秀世

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(72)発明者 吉田 静安

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

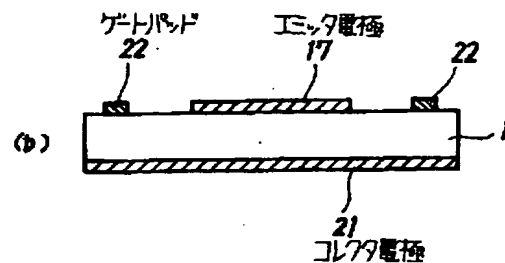
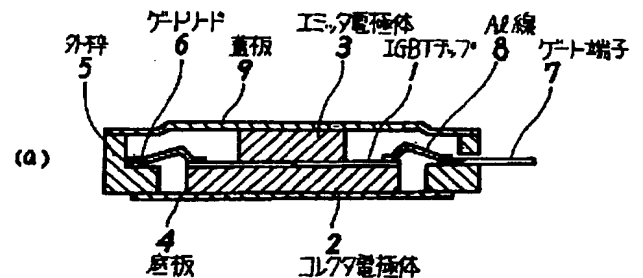
(74)代理人 弁理士 山口 巖

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】半導体素体からの放熱を容器の上下両面から行うことにより半導体装置を小形化し、また内部インダクタンスを低減する。

【構成】半導体素体の両面の主電極に電極体を接合し、その電極体を直接あるいは容器端子板を介して放熱作用をもつ接触体に加圧接触させる。また、複数の制御電極に共通配線を介して接続される制御端子は、容器の絶縁性側壁を通して引き出す。これにより、半導体装置が小形化すると共に、主電極との接続に導線のボンディングを用いないので、内部インダクタンスが減少する。



【特許請求の範囲】

【請求項1】一主面上に主電極および制御電極を有する半導体素体の1個あるいは複数個が一つの容器に收容され、複数の制御電極が共通の制御端子に接続されるものにおいて、半導体素体の両主面にそれぞれ存在する主電極に半導体材料に熱膨脹係数の近似した金属材料よりなる電極体が接合され、両電極体の反半導体素体側の面がそれぞれ容器の端子板に対向し、各制御電極が容器の絶縁性側壁を貫通して引き出される制御端子に接続される共通配線と接続されたことを特徴とする半導体装置。

【請求項2】それぞれ冷却手段を備えた接触体を容器両面の端子板に加圧して使用される請求項1記載の半導体装置。

【請求項3】一主面上に主電極および制御電極を有する半導体素体の1個あるいは複数個が一つの容器に收容され、複数の制御電極が共通の制御端子に接続されるものにおいて、半導体素体の両主面にそれぞれ存在する主電極に半導体材料に熱膨脹係数の近似した金属材料よりなる電極体が接合され、両電極体の一方が反半導体素体側で容器外面に露出し、他方の反半導体素体側の面が容器の端子板に対向し、各制御電極が容器の絶縁性側壁を貫通して引き出される制御端子に接続される共通配線と接続されたことを特徴とする半導体装置。

【請求項4】それぞれ冷却手段を備えた接触体が容器両外面に露出する電極体および端子板に加圧して使用される請求項3記載の半導体装置。

【請求項5】一主面上に主電極および制御電極を有する半導体素体の1個あるいは複数個が一つの容器に收容され、複数の制御電極が共通の制御端子に接続されるものにおいて、半導体素体の両主面にそれぞれ存在する主電極に半導体材料に熱膨脹係数の近似した金属材料よりなる電極体が接合され、両電極体が反半導体素体側で容器外面に露出し、各制御電極が容器の絶縁性側壁を貫通して引き出される制御端子に接続される共通配線と接続されたことを特徴とする半導体装置。

【請求項6】それぞれ冷却手段を備えた接触体が容器両面に露出する電極体に加圧して使用される請求項5記載の半導体装置。

【請求項7】制御電極のうちの一部と共通配線との接続配線が中間で除去された請求項1ないし6のいずれかに記載の半導体装置。

【請求項8】制御電極がそれぞれ導線によって共通配線と接続された請求項1ないし7のいずれかに記載の半導体装置。

【請求項9】共通配線が2枚の絶縁板の間にはさまれ、一方の絶縁板一面に共通配線と接続される複数の突出電極が露出し、その突出電極が各制御電極の一部分にそれぞれ接合された請求項1ないし7のいずれかに記載の半導体装置。

【請求項10】制御電極と半導体素体の同一主面上に存在

する主電極に接合された電極体の断面積が制御電極と制御端子との間の接続導体より半導体素体から遠い側において大きくされた請求項1ないし9のいずれかに記載の半導体装置。

【請求項11】電極体の断面積が半導体素体主面上の制御電極と制御端子との間の接続導体の上方を避けて大きくされた請求項10記載の半導体装置。

【請求項12】制御端子の容器外にあって先端に近い部分が可撓性である請求項1ないし11のいずれかに記載の半導体装置。

【請求項13】制御端子の容器に近接した部分が波状に形成された請求項12記載の半導体装置。

【請求項14】制御端子の先端がU字状に分岐された請求項12記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、例えばバイポーラトランジスタの表面部にMOS構造を有し、電圧駆動のスイッチング素子として用いられる絶縁ゲート型バイポーラトランジスタ(以下IGBTと記す)素子のように一主面上に主電極と制御電極を有する半導体素体の1個あるいは複数個を容器の中に收容した半導体装置に関する。

【0002】

【従来の技術】近年スイッチング素子として伝導度変調を利用したMOSFET、いわゆるIGBTが注目されている。IGBTはMOSFET同様に入力インピーダンスが高く、またバイポーラトランジスタと同様にオン抵抗が低くできる。図2は、IGBTの基本構造を示す。この構造においては、 n -層11の表面層内に p -ベース領域12、さらにその表面層内に n +エミッタ領域13とがそれぞれ選択的に形成されている。 p -ベース領域12の n -層11と n +エミッタ領域13ではさまれた表面部分はチャネル領域14となる部分で、その上にゲート絶縁膜15を介して、ゲート電極16が形成されている。 n +エミッタ領域13の一部には p -ベース領域12と共通にエミッタ電極17が接触している。エミッタ電極17はゲート電極16と絶縁膜18で絶縁されている。 n -層11の他側には高不純物濃度の n バッファ層19が設けられ、さらに n +バッファ層19の下層 p +コレクタ層20が形成されている。そして、 p +コレクタ層20にはコレクタ電極21が接触している。

【0003】このようなIGBTでは、エミッタ電極17を接地し、ゲート電極16に電圧を印加することにより、 n +エミッタ領域13からチャネル領域14を通して n -層11に電子電流が注入される。 n -層11に注入された電子電流が n +バッファ層19に達すると、 n +バッファ層19と p +コレクタ層20による n +/ p +のビルトイン電圧を電子を蓄積させることで回復するので、 p +コレクタ層20への電子の注入が起り、それによって p +コレクタ層20から n +バッファ層19および n -層11への正孔の

注入がおこり、その結果 $n+$ バッファ層19および $n-$ 層11において伝導度変調がおこる。 $n-$ 層11に注入された正孔電流は、 p ベース領域12の $n+$ エミッタ領域13直下を通りエミッタ電極17へ抜ける。エミッタ電極17は p ベース領域12と $n+$ エミッタ領域13を短絡しているので、 $p+$ コレクタ層20、 $n+$ バッファ層19および $n-$ 層11、 p ベース領域12、 $n+$ エミッタ領域13からなる $pnpn$ 構造のサイリスタ動作を阻止し、ゲート・エミッタ間電位をゼロにすることで素子をターンオフすることができる。

【0004】このようなIGBTの電流容量を増大させるには、図3に示すような基本構造を一つのシリコン素体に複数個形成する。この場合、複数のエミッタ電極17およびコレクタ電極20はそれぞれ連結されて一体とされ、ゲート電極16はゲートリードを介して相互に接続される。あるいは一つの容器に複数個のIGBTシリコン素体を収容し、並列接続する。

【0005】

【発明が解決しようとする課題】一般の電力用素子でそうであるように、IGBTでも導通時にシリコン素体内で発生する熱を放散して素体温度を一定温度以下に抑えることが重要である。コレクタ電極21を支持板にろう付けすれば、その支持板を介して容易に放熱できるが、エミッタ電極17への通電をアルミニウム導線をボンディングして行う場合には、素体上面からの放熱は期待できない。また、アルミニウム導線の持つインダクタンスによって周波数の高い分野への適用が困難となってくる。

【0006】本発明の目的は、一主面上に主電極および制御電極を有する半導体素体の上下両面から放熱することにより電流容量を増大でき、さらに内部インダクタンスの小さい半導体装置を提供することにある。

【0007】

【課題を解決するための手段】上記の目的を達成するために、本発明は、一主面上に主電極および制御電極を有する半導体素体の1個あるいは複数個が一つの容器に収容され、複数の制御電極が共通の制御端子に接続される半導体装置において、半導体素体の両主面にそれぞれ存在する主電極に半導体材料に熱膨張係数の近似した金属材料よりなる電極体が接合され、電極体の反半導体素体側の面が容器の端子板に対向するか、あるいは反半導体素体側で容器外面に露出し、各制御電極が容器の絶縁性側壁を貫通する制御端子に接続される共通配線と接続されたものとする。そして、それぞれ冷却手段を備えた接触体が容器両面の端子板あるいは露出する電極体に加圧して使用されることが有効である。また、制御電極のうちの一部と共通配線との接続配線が中間で除去されたこと、制御電極が導線によって共通配線と接続されるか、あるいは共通配線が2枚の絶縁板の間にはさまれ、一方の絶縁板の一面に共通配線と接続される複数の突出電極が露出し、その突出電極が各制御電極の一部分にそれぞ

れ接合されることが有効である。さらに、制御電極と半導体素体の同一主面上に存在する主電極に接合された電極体の断面積が制御電極と制御端子との間の接続導体より半導体素体から遠い側において大きくされたこと、その場合電極体の断面積が半導体素体主面上の制御電極と制御端子との間の接続導体の上方を避けて大きくされたこと、制御端子の容器外にあって先端に近い部分が可撓性であること、そのために制御端子の容器に近接した部分が波状に形成されたこと、あるいは制御端子の先端がU字状に分岐されたことが有効である。

【0008】

【作用】半導体素体の両面に接合された電極体を直接容器外面に露出させるか、あるいは容器の端子板内面に対向させることにより、接触体を容器外面に露出する電極体あるいは端子板に対して加圧すれば、半導体素体に発生する熱は、電極体から直接あるいは端子板を介して接触体に伝搬され、半導体装置の電流容量を増大させることができる。そして、主電極の接続に導線のボンディングによる接続を用いないので、内部インダクタンスが小さくなる。さらに、電極体の断面積を半導体素体から遠い側で大きくすることにより、放熱を向上させることができる。また、制御電極の制御端子と接続する共通配線を介しての接続を、導線のボンディングによって行うこともできるが、内部に共通配線を有し各制御電極の一部に接合する突出電極のみが露出する両面絶縁板の接触基板を用いることにより、ボンディング導線のためのスペースが節減され、容器の高さを低くすることができる。さらに、不良ユニットあるいは素子のゲート配線をしゃ断してリペアすることも容易であり、また容器外に引き出される制御端子の先端部分を可撓性にするることにより、制御端子の外部接続の際に容器に近接した部分での応力による支障が生ずることがない。

【0009】

【実施例】図1(a)は本発明の一実施例のIGBT素子を示し、図1(b)はそのIGBTチップを示し、図3と共通の部分には同一の符号が付されている。SiからなるIGBTチップ1の下面のコレクタ電極21には、Siとほぼ熱膨張係数の等しいモリブデンあるいはタングステンからなるコレクタ電極体2が全面に高温はんだ等でろう付けされるか、あるいは融着されている。また、エミッタ電極17にはチップ中心部でエミッタ電極体3が同様に接合されている。このチップ1を基板4とアルミナセラミックスの外枠5からなる容器に入れる。チップ1の下面を熱伝導率の高いCuなどからなる基板4にはんだによりろう付けしてもよい。外枠5はL字形断面を有し、その段部上に内部ゲートリード6が固定され、このリードから外枠5を貫通するゲート端子7から引出されている。そして、チップ1上のゲート電極に接続されたゲートパッド22とゲートリード6をA1線8のボンディングにより接続する。このあと、不活性ガス中で蓋板9を外

枠5の上端面とろう付け、融着あるいは接着によって接合し、密封する。なお、外枠には、アルミナの代わりに、ムライトやステアタイトあるいは窒化アルミニウムを用いることができる。また底板4、蓋板6との接合が低温で行われる場合には、樹脂も用いることができる。このほか、IGBTチップ1の耐圧維持および保護の目的により、素体1の周辺の容器内にシリコン樹脂を充填してもよい。このようにして34mm×34mm×8mmのコンパクトな寸法のIGBT素子が得られる。

【0010】図3(a)、(b)、(c)および図4に示す本発明の別の実施例のIGBT素子では、チップ1が図3(b)のB-B線断面図である図4に示すように8個のユニットパターンに分割されており、各ユニットパターンに存在するゲート電極16にはそれぞれボンディングパッド22が存在する。そして周囲の外枠5の段部上のゲートリード6とA1線8のボンディングにより接続される。ゲートの接続後、底板4と外枠5からなる容器にゲル23、樹脂24などの充填剤が封入され、エミッタ電極体3が樹脂24の面より突出している。なお、図4に示すような複数のIGBTユニットのうちに不良ユニットがある場合、そのユニットに対するA1線8のボンディングをしないか、あるいは切断することによりリペアすることができる。

【0011】図5は図1のIGBT素子の複数個を用いた半導体装置、すなわちIGBTモジュールを示す。図において、複数個のIGBT素子31が2個の接触体32、33の間にはさまれ、絶縁ボルト34とナット35により、上部接触体32が素子31の図1における蓋板9と、下部接触体33が底板4に加圧接触し、素子31は接触体32、33の間に固定される。そして、容器の中のエミッタ電極体4と蓋板9との間、またコレクタ電極体2が底板4とろう付けされないときにはそれらの間の低抵抗の接触が確保される。これにより、IGBTチップ1に発生する熱は、エミッタ電極体3、蓋板9、上部接触体32およびコレクタ電極体2、底板4、下部接触体33の径路を経て伝達される。接触体32、33は風冷により表面から放熱するので冷却体を兼ねているが、さらに放熱用フィンを備えたり、水冷あるいはヒートポンプジャケットを備えることにより冷却効果を上げることも効果的で、これらの方策により同一電流容量のIGBTモジュールを複数個のIGBTチップを一つの容器に収容し、各チップのエミッタ電極との接続をボンディングした導線で行う場合に比して約1/2の大きさにすることができ、低インダクタンスになる。

【0012】また、図示のように隣接するIGBT素子31のゲート端子7をはんだづけ、圧着またはねじ止めにより接続することができ、素子内のゲート配線を利用することで、モジュール内部に配線をひき回す必要がなくなり、一層のモジュールの寸法縮小ができる。図6(a)、(b)、(c)に示す本発明の実施例のIGBT素子

は、樹脂モジュール型であり、絶縁性外枠6は用いない。すなわち、下面にコレクタ電極体2、上面にエミッタ電極体3を露出させて樹脂24により封止されている。そして、IGBTチップ1上のゲートパッド22への接続にはゲート接触基板25が用いられている。ゲート接触気団25は図7(a)、(b)に示すように、ゲートリード6は、それぞれ中央にエミッタ電極3のための貫通孔30を有する上部絶縁板26と下部絶縁板27の間にはさまれていて外部から見えない。両絶縁板26、27にはセラミックあるいは高分子材料の板を用いる。そして、下面絶縁板27からはんだバンプ28が突出している。このはんだバンプ28がIGBTチップ1の各ユニットパターンに存在するボンディングパッド22と接合される。このようなゲート接触基板25を用いることにより、素子の高さをA1線8によって接続する場合に比して1mm以上薄くすることができた。なお、ゲートリード6から対向する位置でゲート接触基板25外へゲート端子7が引き出されるが、その根本部分には波状部分71が形状され、先端部が変形自在になっている。

【0013】図3に示すIGBT素子では、エミッタ電極体3は、チップ1上のゲート電極にボンディングされる導線8との接触をさけるため、長方形にしなければならず、コレクタ電極体3に比して面積が小さくなる。そのためエミッタ電極側からの放熱量はコレクタ電極側からに比してかなり少なかった。図8(a)、(b)、(c)に示す実施例では、ゲート接触基板25を用いる構造でエミッタ電極体3の横断面積がゲート接触基板25上部で大きくしたものである。この場合、エミッタ電極体3の加工とチップ1に対する位置合わせが難しくなる反面、エミッタ電極体側への放熱量を増大させることができる。この場合は、ゲート接触基板25を用いているため、エミッタ電極体3とボンディング導線との接触の問題はないが、横断面積がゲート接触基板の上部に限られる。図9(a)、(b)、(c)は、図3の素子のようにゲートボンディング導線8を用いる場合の実施例を示し、エミッタ電極体5の横断面積を大きくした上部はゲートボンディング導線8の上方を避けるスリット81を形成した。これによって図9(c)に示すようにエミッタ電極体3の面積を拡大した上部が導線8と接触するおそれなくなり、厚さを厚くすることができ、熱抵抗の低減を大きくすることができた。図10に示す実施例では、図9のスリット81をつないでエミッタ電極体3の平面形状をI字状にした。図9の実施例にくらべて熱抵抗は増大するが、電極体の加工は容易になる。

【0014】図11、図12は、ゲート接触基板25の下部絶縁板27を除いて示したゲートリード6のパターンの二つの例であり、ゲートリード6は各はんだバンプ28から離れた位置でその外側あるいは内側に環状に形成されている。図13(a)、(b)、(c)は、このようなゲート接触基板を用いたIGBT素子でチップに不良ユニットが存在

する場合のリペア方法を示す。図13(a)に示すIGBTチップ1で不良ユニット10が存在する場合、図13(b)、(c)に示すように上部絶縁板26から下部絶縁板27に達する貫通孔29を明け、その部分のはんだバンプ28を除去して、不良ユニット10のゲート電極がゲートリード6に接続されないようにする。これにより、Al線8を用いてゲートの接続を行う図1あるいは図3、図4の場合のようにリペアを行うことができた。

【0015】以上の実施例では、一つのIGBT素子のIGBTチップが1個の場合であるが、1個または複数個のゲートを有するIGBTチップを複数個封入したマイクロスタックにおいても同様な両面冷却構造にすることができ、不良チップの分離も同様にできる。図14は、本発明によるIGBT素子31の複数個からなるモジュールの組立を示し、図5と共通の部分には同一の符号が付されている。このとき、ゲート端子7がはんだ39で固定される端子台37の高さが同じであれば問題はないが、端子台37の加工誤差や、あるいはゲート接触基板25を用いた素子の場合のゲート接触基板の傾きなどの理由からゲート端子取り付け面の高さが違う場合、素子31が傾いてしまったり図のように浮き上がってしまったりする場合がある。しかし、図15に示すように、ゲート端子7の根本に図6、図8に示したような波状部分71があれば、そのような取り付け面高さの差を吸収するため、図15(a)のように素子31が最初傾いていても、各素子の両面を接触体32、33に直接あるいはスペーサ36を介して間接に十分な力で加圧接触させることができる。この波状部分71がない場合には、ゲート端子7の根本部分に大きな応力がかかり、破損の原因になるだけでなく、大きな加圧力がかからないために接触熱抵抗が増大することがある。上記のゲート端子構造によりこのような破損あるいは接触熱抵抗の増大が避けられる。図16(a)、(b)は、図5に示したようにモジュールの隣接素子31のゲート端子7を直接接続した場合を示し、もしゲート端子7が剛性が高く、同一高さであれば、一方の素子31は浮き上がってしまって上記と同様の不具合が生ずるか、先端部を可撓性にするにより、このような不具合が生じない。

【0016】図17に示した本発明の実施例の素子では、ゲート端子7の先端部72をU字状に分岐させた。この先端部72は変形しやすいので、加工誤差などによるゲート端子7とゲート端子台33との位置や高さになずれがあっても、図18(a)、(b)に示すようにねじ38を用いて端子台37や隣接素子のゲート端子7と密着させることができ、組立中のゲート端子破損や接触不良などを無くすることができる。また素子31と接触体32、33とを密着させられ、熱抵抗も軽減できる。

【0017】以上、IGBT素子についての実施例について述べたが、他の半導体装置、例えば縦形MOSFETあるいはサイリスタのように、一主面上に主電極と制御電極を有する半導体基板を用いた半導体装置において

も同様に実施できる。

【0018】

【発明の効果】本発明によれば、半導体素体の両主面の主電極に電極体を接合し、一主面上の制御電極からは共通配線を介して容器側方に制御端子を引き出し、電極体に外部の圧力により容器端子板を接触させて熱および電気の通路の一部とするか、電極体の他面を容器外面に露出させることにより、半導体装置両面からの放熱が可能となり、小さな体積で大きな電流容量を持たせることが可能となった。さらに、複数の制御電極への接続に、共通制御配線をはさみ、各制御電極の一部に接合する突出電極のみが露出する接触基板を用いることにより、導線のボンディングのためのスペースが節減され、一層の小形化が可能となった。

【図面の簡単な説明】

【図1】本発明の一実施例のIGBT素子を示し、(a)が断面図、(b)が素子チップの正面図

【図2】IGBTの基本構造の断面図

【図3】本発明の異なる実施例のIGBTを示し、(a)が平面図、(b)が側面図、(c)が(a)のA-A線断面図

【図4】図3の素子のB-B線断面図

【図5】図1の素子を用いたIGBTモジュールの断面図

【図6】本発明の別の実施例のIGBT素子を示し、(a)が平面図、(b)が(a)のC-C線断面図、(c)が(a)のD-D線断面図

【図7】図6の素子のゲート接触基板を示し、(a)上平面図、(b)が下面図

【図8】本発明のさらに別の実施例のIGBT素子を示し、(a)が平面図、(b)が(a)のE-E線断面図、(c)が(a)のF-F線断面図

【図9】本発明の他の実施例のIGBT素子を示し、(a)が平面図、(b)が(a)のH-H線断面図、(c)が(b)のI-I線矢視断面図

【図10】本発明の他の実施例のIGBT素子の断面図

【図11】本発明の実施例のIGBT素子に用いるゲート接触基板の一例を示し、下部絶縁板を除いての下面図

【図12】本発明の実施例のIGBT素子に用いるゲート接触基板の他の例を示し、下部絶縁板を除いての下面図

【図13】図6あるいは図8の素子でのリペアの方法を示し、(a)がIGBTチップの平面図、(b)がリペア後のゲート接触基板の平面図、(c)がリペア後のゲート接触基板の下面図

【図14】本発明の実施例の素子をIGBTモジュールの組立ての際の不具合の例を示す側面図

【図15】図6あるいは図8の素子を用いたIGBTモジュールの組立方法を(a)、(b)の順に示す側面図

【図16】図6あるいは図8の素子のゲート端子相互を接続した場合を示し、(a)が側面図、(b)が(a)のG部拡大側面図

【図17】本発明のさらに異なる実施例のIGBT素子の平面図

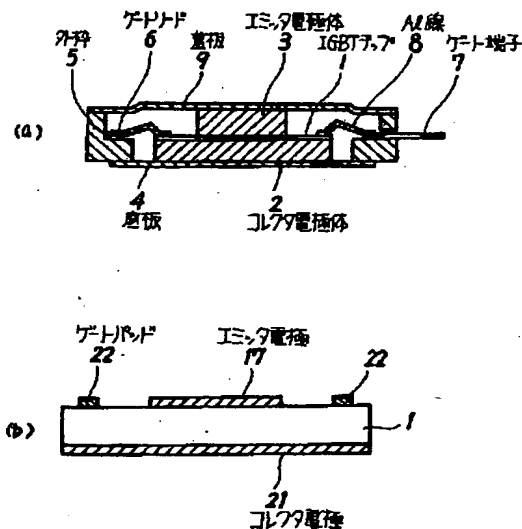
【図18】図17の素子を用いたIGBTモジュールを示し、(a)が側面図、(b)が(a)のJ部拡大平面図

【符号の説明】

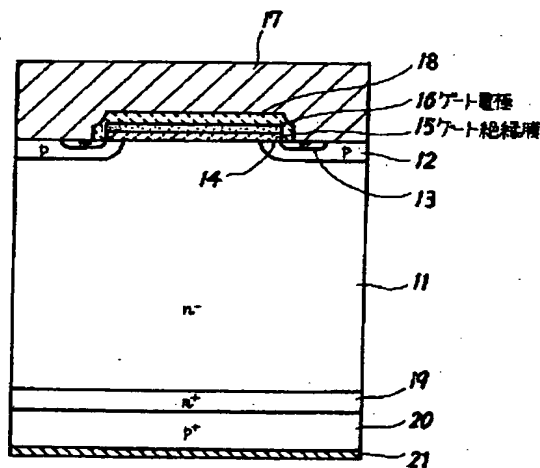
- 1 IGBTチップ
- 2 コレクタ電極体
- 3 エミッタ電極体
- 4 底板
- 5 外枠
- 7 ゲート端子
- 9 蓋板
- 10 不良ユニット
- 15 ゲート絶縁膜
- 16 ゲート電極
- 17 エミッタ電極

- 21 コレクタ電極
- 22 ゲートパッド
- 24 樹脂
- 25 ゲート接触基板
- 26 上部絶縁板
- 27 下部絶縁板
- 28 はんだバンパ
- 31 IGBT素子
- 32 上部接触体
- 33 下部接触体
- 34 絶縁ボルト
- 35 ナット
- 71 ゲート端子波状部分
- 72 分岐部
- 81 スリット

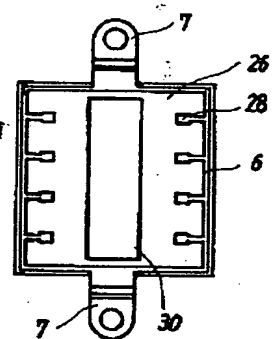
【図1】



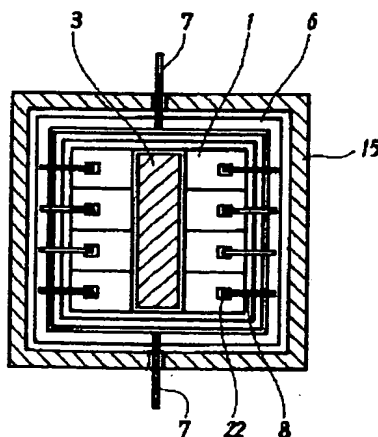
【図2】



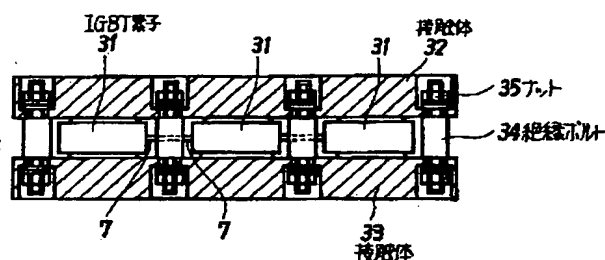
【図11】



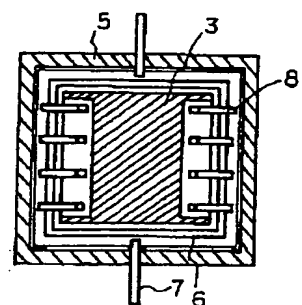
【図4】



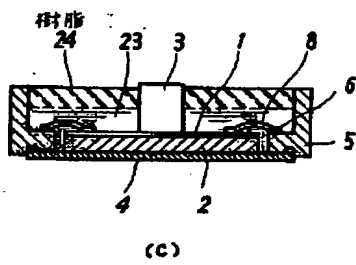
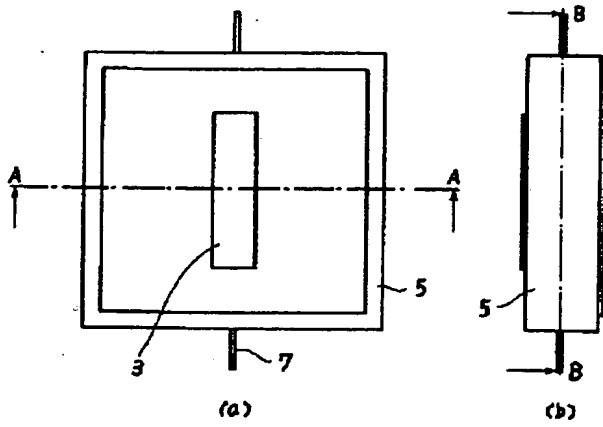
【図5】



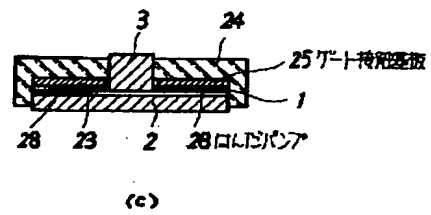
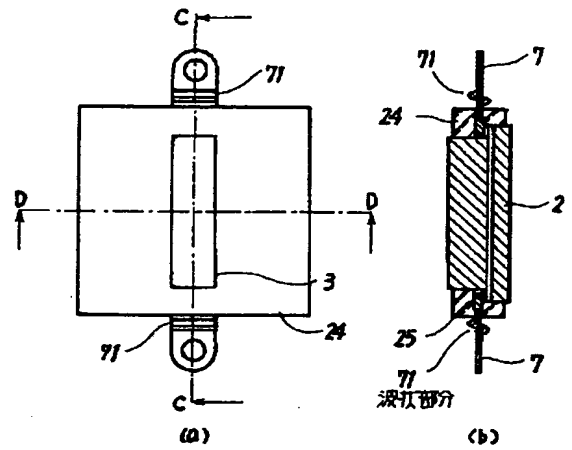
【図10】



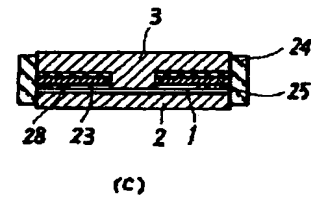
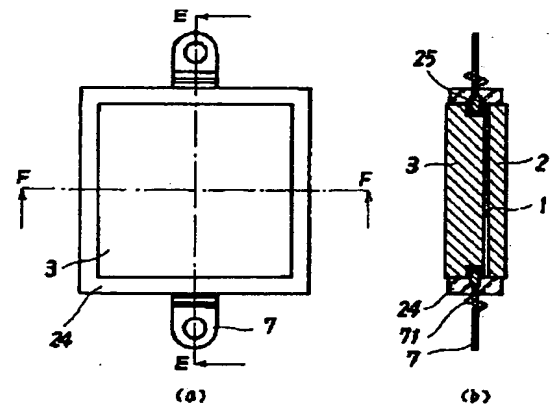
【図3】



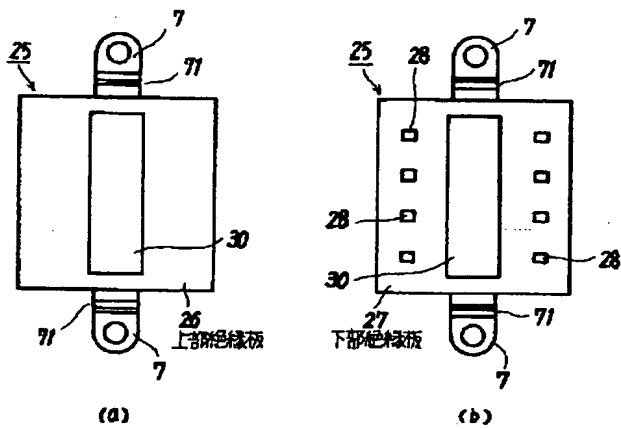
【図6】



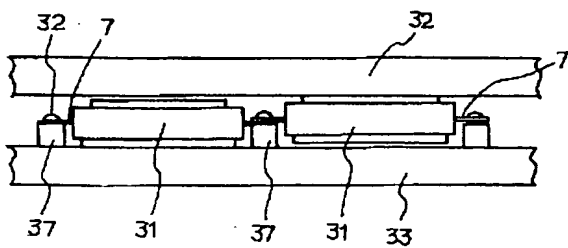
【図8】



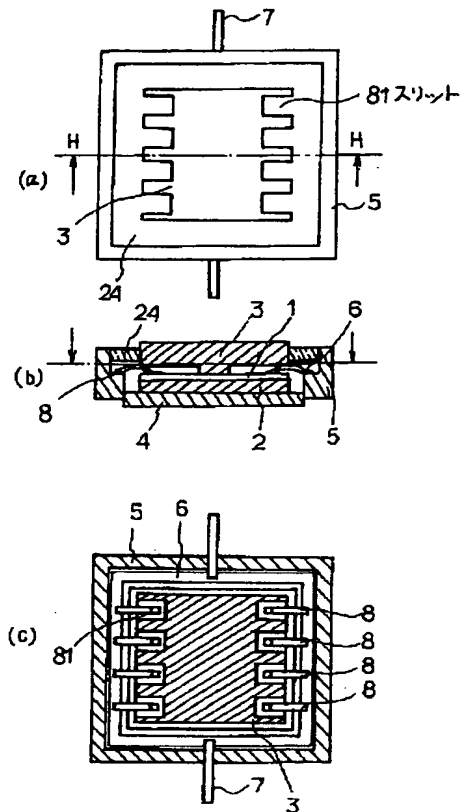
【図7】



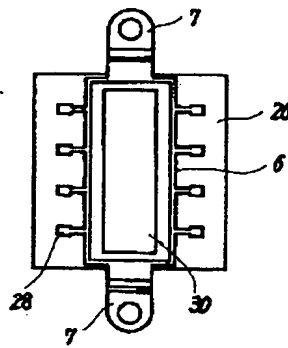
【図14】



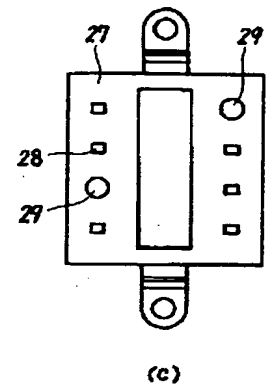
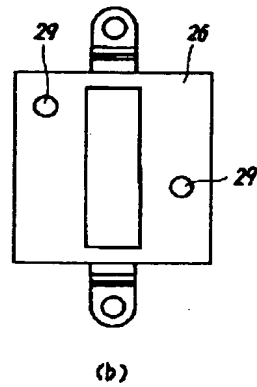
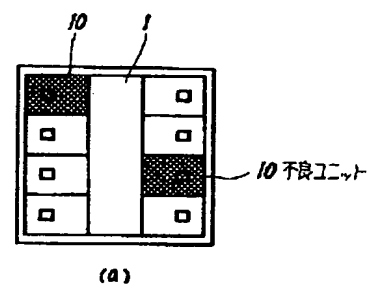
【図9】



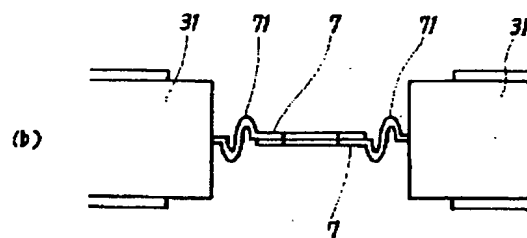
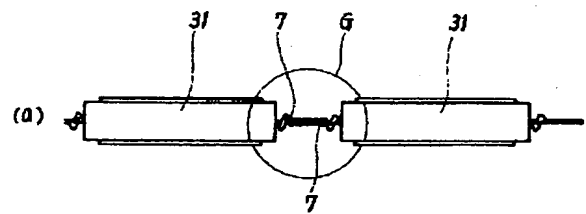
【図12】



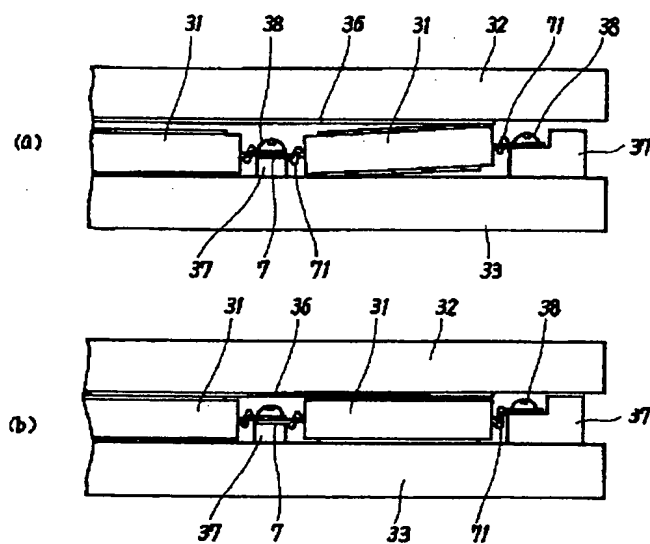
【図13】



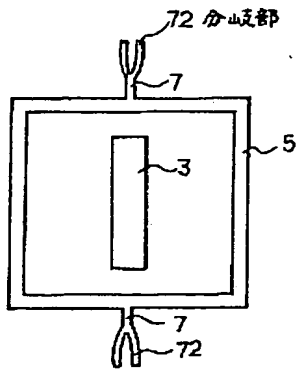
【図16】



【図15】



【図17】



【図18】

